

M68000 FAMILIE

TEIL 2
ANWENDUNG UND 68000-BAUSTEINE

Werner Hilf - Anton Nausch



Weitere Kapitel:
Die nächste Generation
MC 68008, MC 68010, MC 68020
Peripherie-Bausteine

te-wi

M68000 FAMILIE

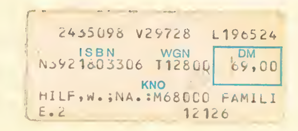
Teil 1 – Grundlagen und Architektur
Teil 2 – Anwendung und 68000-Bausteine

Dieses zweibändige Werk befaßt sich grundlegend mit der M68000-Familie, einer Familie von leistungsfähigen 16/32-Bit-Prozessoren. Der Leser findet alle notwendigen Informationen über den M68000. Angefangen von der Entstehungsgeschichte über die detaillierte Hardwarebeschreibung bis zu den Adressierungsarten und dem ausführlichen Befehlssatz. Es eignet sich sowohl als Lehrbuch als auch als Nachschlagewerk.
Die Fülle der Information machte eine Teilung in zwei Bände unerläßlich. Im zweiten Band wird die „Theorie", die im ersten Band Hauptbestandteil war, mit der „Praxis" ergänzt. So werden dort außer weiteren bzw. neuen M68000-Familienmitgliedern Anwendungsbeispiele aus der Hard- und Software beschrieben. Ein kompletter Einplatinencomputer (mit Monitor) rundet diesen Band ab.

DIE AUTOREN

Werner Hilf ist am 25. Februar 1950 in Schopfheim/Krs. Loerrach geboren. Er hat die Elektronik „von der Pike auf" gelernt. 1967 Lehre in einem Entwicklungs- und Forschungslabor. Studium der Nachrichtentechnik 1970 an der Fachhochschule Karlsruhe. Zunächst Analog-Elektronik, insbesondere Prozeß- und Regeltechnik. Mit dem Siegeszug des Mikroprozessors und fasziniert von der Digitaltechnik begann er mit vielfältigsten Aufgaben aus dem Bereich der Hard- und Software mit diversen Mikroprozessoren.
Seit 1979 Leiter der Mikroprozessorschulung bei der Fa. MOTOROLA in München. Zahlreiche Vorträge im Inland, europäischen Ausland und Afrika. Sein Wissen vermittelt er seit 1980 auch als Lehrbeauftragter an der Fachhochschule München und der Technischen Akademie in Esslingen.

Anton Nausch, geb. am 29.1.1955 in Zwiesel, studierte nach dem Abitur Elektrotechnik und Datenverarbeitung an der Techn. Universität München. Während seiner Beschäftigung bei der Fa. Siemens lernte er das Arbeiten mit 16-Bit-Mikroprozessoren von Grund auf.
Seit 1981 ist er als Applikationsingenieur für 16/32-Bit-Prozessoren und die zugehörigen Produkte bei der Fa. Motorola tätig. Er veröffentlichte mehrere Artikel, die 16-Bit-Mikroprozessoren und Systeme zum Thema hatten.
Durch sein Arbeiten als Trainer in Kundenseminaren weiß er um die Probleme, die beim Einsatz des M68000 auftreten können.



ISBN 3-921803-30-6

reicht werden (daher "Pipeline"). Nur dort ist eine Abarbeitung möglich (Verbindung zum Steuerwerk). Operanden werden zur Verarbeitung direkt übernommen. Danach sind die Stufen wieder frei und weitere Worte können nachrücken. Stufe B erhält ihre Informationen entweder aus dem Cache (s. Kap. 8.3.6) oder direkt aus dem Speicher. Hieraus ist zu entnehmen, daß Cache und Prefetch nicht dasselbe sind!
Der Drei-Worte-Prefetch, die interne 32bit-Struktur der ALUs und das Cache sind dafür verantwortlich, daß Befehle zum Teil überlappend (concurrent) ausgeführt werden können. Einerseits trägt diese Struktur wesentlich zur Geschwindigkeitserhöhung mit bei, andererseits führt dies dazu, daß keine exakte Aussage über Ausführungszeiten von Befehlen gemacht werden kann. Vielmehr findet man nur noch Angaben über minimale und maximale Zeiten [64]. Zu viele Faktoren spielen hierbei eine Rolle. So z.B. ob der Befehl schon im Cache vorhanden ist, dies ist wiederum abhängig vom Programm, usw.

Fassen wir die Leistungsmerkmale zusammen:

- alle Fähigkeiten und Funtkionen des M68000 bzw. MC68010
- Standardtaktfrequenz 16,67 MHz
- dynamische Busstruktur, 8-, 16- oder 32bit-Transfers
- wesentlich kürzere Bus- und Befehlszyklen
- komplette 32bit-Struktur, sowohl Hard- als auch Software
- 32bit Adress- und Datenleitungen, nicht gemultiplext, damit Adressbereich von 4.294.967.296 Byte
- erweiterter Registersatz
- erweiterter, aufwärtskompatibler Befehlssatz (obkjektcodekompatibel)
- erweiterte, aufwärtskompatible Adressierungsarten
- weitere Datentypen (gepackte BCD-Zahlen, Bit-Felder)
- Höchstgeschwindigkeits-Befehlscache
- Coprozessor-Unterstützung

Diese Übersicht ist recht eindrucksvoll, gibt aber trotzdem nur einen kleinen Einblick in die neuen Techniken. Deshalb ist es auch nützlich, über technologische Neuerungen des MC68020 informiert zu sein.
Der MC68020 basiert auf der 2 1/4 µ HCMOS III-Technologie, d.h. High Density CMOS. Die Gatterverzögerungszeit beträgt dabei 5 ns. Die Verlustleistung erreicht einen Wert von ca. 1,5 W, obwohl ca. 200.000 Transistoren notwendig waren, um alle Funktionen zu realisieren. Sie sind auf einem Chip der Größe ca. 7,1 x 7,1 mm untergebracht (Bild 8-26a). Zum Vergleich sei an dieser Stelle der M68000 erwähnt. Dort fanden 68000 Transistoren auf einem Chip der Größe 6,2 x 7,1 mm Platz. Diese Gegenüberstellung spricht für sich. Mit dieser Technologie gehören die überdimensionalen Stromversorgungen und Ventilatoren der Vergangenheit an. **Dank der 32bit-Struktur, der 16,67MHz-Taktfrequenz und des internen Cache ist ein Durchsatz von 2,5 – 3 MIPs (Millionen Instruktionen pro Sekunde) erreichbar. Hier trägt mit bei, daß der MC68020 nur noch drei Taktzyklen für einen externen Buszyklus benötigt (180 ns).** Bei interner Verarbeitung (Cache) können Befehle minimal mit zwei Taktzyklen (8 MIPs!) abgearbeitet werden.

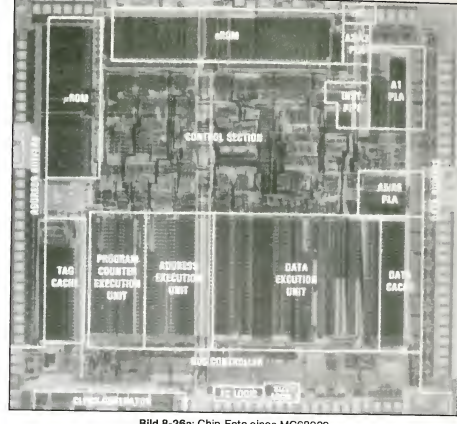


Bild 8-26a: Chip-Foto eines MC68020



Bild 8-26b: Gehäuseform des MC68020

Höchst interessant für einen "Außenstehenden" dürften auch folgende Informationen über die Bausteinentwicklung selbst sein. Der diskrete Aufbau des MC68020 umfaßte 14 Karten mit insgesamt 300 MSI- (Medium Scale Integration) Bausteinen. Der Umfang der Zeichnungen für das IC-Layout betrug im ganzen 150 m². Der Stromlaufplan hat einen Umfang von 46 m²! Und schließlich die Diagnose-Software, ca. 500.000 Codezeilen waren bisher erforderlich. Der MC68020 verdient mit Recht das Prädikat "state of the art" der Mikroprozessortechnik und wird sicherlich richtungsweisend für seine Klasse sein.

8.3.2 Register

Betrachtet man den Registersatz des M68000, so hat sich der Trend zum 32bit-Mikro bereits abgezeichnet. **Die "Arbeits-"Register sind ausnahmslos 32bit-orientiert.** Der Programmzähler macht keine Ausnahme. Unter dem Gesichtspunkt der sogenannten Aufwärtskompatibilität wurde dieses bereits bewährte Register-Grundmodell (Bild 8-3) beibehalten. **Außer den vom MC68010 her bekannten Vector Base Register (VBR) und den Alternate Function Code Register (SFC, DFC) erhielt der MC68020 zwei Supervisor-Stackpointer, die Interrupt- bzw. Masterstackpointer genannt werden (Bild 8-27). Welcher Stackpointer benützt wird, entscheidet das ebenfalls neu implementierte M-Bit im Statusregister zusammen mit dem bekannten S-Bit.** Die möglichen Bitkombinationen und deren Bedeutung sind in Tabelle 8-36 zusammengestellt.

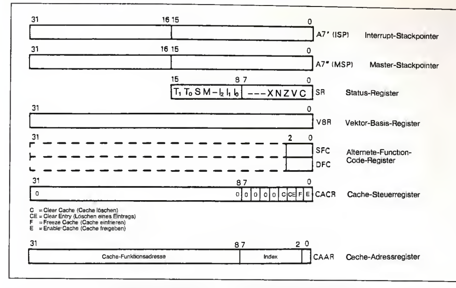


Bild 8-27: MC68020 Supervisor-Programmiermodell

S	M	Maßgebender Stackpointer	
0	0	User Stackpointer	(USP) wie M68000
0	1	User Stackpointer	(USP)
1	0	Interrupt (System) Stackpointer	(ISP) SSP bei M68000
1	1	Master Stackpointer	(MSP)

Tabelle 8-36: Mit M- und S-Bit maßgebende Stackpointer

Der Vorteil, zwei Supervisor-Stacks zu haben, liegt z.B. bei der Task-Umschaltung. Der MSP zeigt dann auf einen Task Control Block (TCB), der ISP auf den Interrupt-Stack. Vor der Taskumschaltung wird das M-Bit gesetzt. Alle Exceptions, außer Interrupts, verwenden dann den MSP. Eine Taskumschaltung, hervorgerufen durch einen Timerinterrupt, verändert demzufolge den MSP nicht, da er über einen eigenen Pointer verfügt (ISP). Er muß demnach auch nicht gerettet werden, was zur Zeiteinsparung beiträgt.
Eine weitere Unterstützung beim Austesten von Programmen bringt das zusätzliche Trace-Bit T0 im Statusregister (Bild 8-27). Die Bitkombinationen und deren Bedeutung zeigt Tabelle 8-37.

T1	T0	Trace- (Einzelschritt-) Funktion	
0	0	Kein Trace.	(wie M68000)
0	1	Trace-Exception nur bei Branch, Jump, JSR oder Return	
1	0	Trace-Exception nach jedem Befehl.	(wie M68000)
1	1	Nicht definiert, reserviert.	

Tabelle 8-37: Trace-Funktionen